

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
22. April 2004 (22.04.2004)

PCT

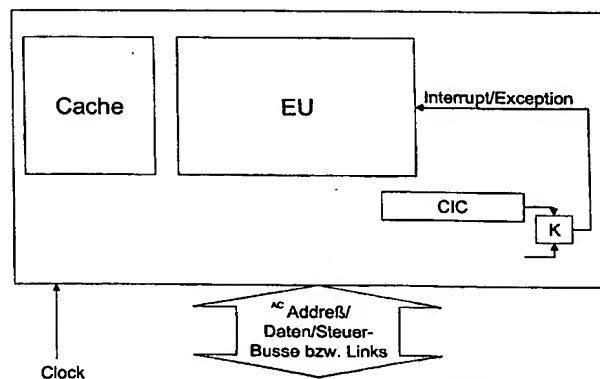
(10) Internationale Veröffentlichungsnummer
WO 2004/034172 A2

- (51) Internationale Patentklassifikation⁷: G06F (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/EP2003/008715 (75) Erfinder/Anmelder (nur für US): PELESKA, Pavel
(22) Internationales Anmeldedatum: 6. August 2003 (06.08.2003) [DE/DE]; Magmannstr. 4, 82166 Gräfelfing (DE).
SCHNABEL, Dirk [DE/DE]; Eichendorffplatz 9, 81369 München (DE).
(25) Einreichungssprache: Deutsch (74) Gemeinsamer Vertreter: SIEMENS AKTIENGESELLSCHAFT; Postfach 22 16 34, 80506 München (DE).
(26) Veröffentlichungssprache: Deutsch
(30) Angaben zur Priorität: 02020602.5 12. September 2002 (12.09.2002) EP (81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT,
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): SIEMENS AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2, 80333 München (DE).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR SYNCHRONIZING EVENTS, PARTICULARLY FOR PROCESSORS OF FAULT-TOLERANT SYSTEMS

(54) Bezeichnung: VERFAHREN ZUR EREIGNISSYNCHRONISATION, INSBESONDERE FÜR PROZESSOREN FEHLERTOLERANTER SYSTEME



(57) Abstract: Identically structured processor boards operating in lockstep mode are frequently used for redundant systems. The deterministic behavior of all components comprised in the board, i.e. CPUs, chip sets, main memory, etc. is the basic condition for implementing a lockstep system, deterministic behavior meaning that said components simultaneously supply identical results if the components receive identical stimuli at the same time and if no error occurs. Deterministic behavior also requires the use of clocked interfaces. In many cases, asynchronous interfaces cause a certain temporal fuzziness in the system, preventing the overall behavior of the system from remaining synchronous. In order to nevertheless operate in lockstep mode, the invention relates to a method for synchronizing external events which are fed to and influence a component (CPU). According to said method, the external events are temporarily stored by means of buffer elements and are then retrieved in a separate mode of operation of the component so as to be processed by an execution unit (EU) of the component, said component entering into said mode of operation in response to a condition being met, which can be or is predefined and reflects the number of executed instructions.

(57) Zusammenfassung: Für redundante Systeme werden vielfach identisch aufgebaute Prozessorboards vorgesehen, die im Lockstep-Betrieb arbeiten. Die grundlegende Voraussetzung für die Implementierung eines Lockstep Systems ist das deterministische Verhalten aller im Board enthaltenen Komponenten, also CPUs, Chip Sets, Hauptspeicher etc. Deterministisches

[Fortsetzung auf der nächsten Seite]



RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- *ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts*

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Verhalten bedeutet dabei, daß diese Komponenten im fehlerfreien Fall identische Ergebnisse zu identischen Zeitpunkten liefern, wenn die Komponenten identische Stimuli zu identischen Zeitpunkten erhalten. Deterministisches Verhalten setzt ferner die Verwendung taktsynchroner Schnittstellen voraus. Asynchrone Schnittstellen bewirken im System in vielen Fällen eine gewisse zeitliche Unschärfe, wodurch das taktsynchrone Gesamtverhalten des Systems nicht aufrecht erhalten werden kann. Um dennoch einen Lock-step-Betrieb durchführen zu können, sieht die vorliegende Erfindung ein Verfahren zur Synchronisation externer Ereignisse, die einem Baustein (CPU) zugeführt werden und diesen beeinflussen, vor, demgemäß die externen Ereignisse durch Pufferelemente zwischengespeichert werden, wobei die in den Pufferelementen gespeicherten externen Ereignisse in einem gesonderten Betriebsmodus des Bausteins zur Verarbeitung durch eine Ausführungseinheit (EU) des Bausteins abgerufen werden und wobei der Baustein in diesen Betriebsmodus ansprechend auf die Erfüllung einer vorgebbaren bzw. vorgegebenen Bedingung eintritt, welche die Anzahl der ausgeführten Instruktion widerspiegelt.

Beschreibung

Verfahren zur Ereignissynchronisation, insbesondere für Prozessoren fehlertoleranter Systeme

5

In Telekommunikationssystemen, in Data-Centern und anderen hochverfügbaren Systemen werden in vielen Fällen bis zu einigen Hundert sogenannter Prozessorboards eingesetzt, um die erforderliche Rechenleistung vorzusehen. Ein solches Prozessorboard besteht typischerweise aus einem Prozessor bzw.
10 einer CPU (Central Processing Unit), einem Chip Set, Hauptspeicher und Peripheriebausteinen.

Die Wahrscheinlichkeit des Auftretens eines Hardware-Defektes eines typischen Prozessorboards pro Jahr liegt im einstelligen Prozentbereich. Aufgrund der großen Anzahl zu einem System zusammengefasster Prozessorboards ergibt sich eine auf den Jahreszeitraum bezogene sehr hohe Wahrscheinlichkeit eines Ausfalls einer beliebigen Hardware-Komponente, wobei
20 ein solcher Einzelausfall, falls geeignete Vorkehrungen nicht getroffen werden, den Ausfall des gesamten Systems hervorrufen kann.

Insbesondere an Telekommunikationssysteme, in zunehmendem Maße auch an Data-Center, wird die Forderung nach einer hohen Systemverfügbarkeit gestellt. Diese wird beispielsweise in Prozent ausgedrückt, oder es wird die maximal zulässige Ausfallzeit pro Jahr angegeben. Typische Anforderungen sind z.B. eine Verfügbarkeit von >99.999% bzw. eine Nichtverfügbarkeit von höchstens einigen Minuten im Jahr. Da üblicherweise der Austausch eines Prozessorboards und die Wiederherstellung des Dienstes im Falle eines Hardwaredefektes eine Zeit beansprucht, die im Bereich einige 10 Minuten bis einige Stunden liegt, müssen für den Fall eines Hardwaredefektes auf Systemebene entsprechende Vorkehrungen getroffen werden, um die
35 Forderung nach der Systemverfügbarkeit erfüllen zu können.

2

Bekannte Lösungen zur Einhaltung solch hoher Anforderungen an die Systemverfügbarkeit sehen redundante Systemkomponenten vor. Die bekannten Verfahren lassen sich in zwei hauptsächliche Gruppen einteilen: softwarebasierte Verfahren und hardwarebasierte Verfahren.

Bei softwarebasierten Verfahren wird typischerweise eine Middleware eingesetzt. Die softwarebasierte Lösung erweist sich jedoch als wenig flexibel, da lediglich diejenige (Applikations-)Software in einem solchen System eingesetzt werden kann, die für dieses besondere Redundanzschema entwickelt wurde. Dies schränkt das Spektrum einsetzbarer (Applikations-)Software erheblich ein. Darüber hinaus ist die Entwicklung von Applikationssoftware für Softwareredundanzprinzipien in der Praxis äußerst aufwendig, wobei die Entwicklung zusätzlich ein kompliziertes Testverfahren nach sich zieht.

Das Grundprinzip hardwarebasierter Verfahren beruht darauf, die Redundanz auf Hardwareebene zu kapseln, so daß dies für die Software transparent ist. Der wesentliche Vorteil einer von der Hardware selbst verwalteten Redundanz ist der, daß die Applikationssoftware durch das Redundanzprinzip nicht beeinträchtigt wird und somit in den meisten Fällen jede beliebige Software zum Einsatz kommen kann.

Ein in der Praxis häufig anzutreffendes Prinzip für hardwarefehlertolerante Systeme, deren Redundanz für die Software transparent ist, ist das sogenannte Lockstep-Prinzip.

Lockstep bedeutet, daß identisch aufgebaute Hardware, z.B.

zwei Boards, gleichartig taktsynchron betrieben werden. Durch Hardwaremechanismen wird sichergestellt, daß die redundante Hardware zu einem gegebenen Zeitpunkt identische Eingangsstimuli erfährt und dadurch zu identischen Ergebnissen kommen muß. Die Ergebnisse der redundanten Komponenten werden verglichen, im Fall einer Abweichung wird ein Fehler festgestellt und geeignete Maßnahmen werden eingeleitet (Alarmie-

ung an das Bedienpersonal, partielle oder vollständige Sicherheitsabschaltung, Systemneustart).

Die grundlegende Voraussetzung für die Implementierung eines Lockstep-Systems ist das deterministische Verhalten aller im Board enthaltenen Komponenten, also CPUs, Chip Sets, Hauptspeicher etc. Deterministisches Verhalten bedeutet dabei, daß diese Komponenten im fehlerfreien Fall identische Ergebnisse zu identischen Zeitpunkten liefern, wenn die Komponenten identische Stimuli zu identischen Zeitpunkten erhalten. Deterministisches Verhalten setzt ferner die Verwendung taktsynchroner Schnittstellen voraus. Asynchrone Schnittstellen bewirken im System in vielen Fällen eine gewisse zeitliche Unschärfe, wodurch das taktsynchrone Gesamtverhalten des Systems nicht aufrecht erhalten werden kann.

Gerade für Chip Sets und CPUs bieten asynchrone Schnittstellen jedoch technologische Vorteile bei der Erhöhung der Leistungsfähigkeit, wodurch eine taktsynchrone Betriebsweise nach dem Lockstep-Verfahren unmöglich wird. Zudem verwenden moderne CPUs zunehmend Mechanismen, die eine taktsynchrone Betriebsweise unmöglich machen. Dies sind beispielsweise interne, nach außen nicht sichtbare Korrekturmaßnahmen, z.B. Korrektur eines internen, korrigierbaren Fehlers beim Zugriff auf den Cache-Speicher, die zu einer geringfügigen Verzögerung der Befehlsabarbeitung führen können, oder die spekulative Ausführung von Befehlen. Ein weiteres Beispiel ist die zukünftig zunehmende Implementierung von CPU-internen taktfreien Ausführungseinheiten, die erhebliche Vorteile hinsichtlich Geschwindigkeit und Verlustleistung ermöglichen, jedoch ein taktsynchrones bzw. deterministisches Arbeiten der CPU verhindern.

Es ist daher eine Aufgabe der vorliegenden Erfindung, ein Verfahren anzugeben, durch welches die Vorteile des Lockstep-Verfahrens zu gewahrt bleiben und welches der technologischen Entwicklung Rechnung trägt.

Diese Aufgabe wird durch ein Verfahren zur Synchronisation externer Ereignisse gemäß der Merkmale des Patentanspruchs 1, einen Prozessorbaustein gemäß der Merkmale des Patentanspruchs 5 und ein System gemäß der Merkmale des Patentanspruchs 6 gelöst.

Bevorzugte Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

Erfindungsgemäß wird ein Verfahren zur Synchronisation externer Ereignisse, die einem Baustein CPU zugeführt werden und diesen beeinflussen, vorgesehen, demgemäß die externen Ereignisse zwischengespeichert werden, wobei die gespeicherten externen Ereignisse in einem gesonderten Betriebsmodus des Bausteins zur Verarbeitung durch eine Ausführungseinheit EU des Bausteins abgerufen werden und wobei der Baustein in diesen Betriebsmodus ansprechend auf die Erfüllung einer durch Befehle vorgebbaren oder fest vorgegebenen Bedingung eintritt.

Gemäß einer vorteilhaften Weiterbildung wird die vorgebbare Bedingung realisiert, indem der Wechsel in den gesonderten Betriebsmodus ausgeführt wird, falls durch ein Komparatorelement K des Bausteins die Übereinstimmung eines Zählelementes CIC mit einem Registerelement MIR ermittelt wird, wobei der Inhalt des Registerelementes MIR durch Befehle vorgebbare ist und das Zählelement CIC die Anzahl der durch die Ausführungseinheit ausgeführten Instruktionen seit dem letzten Wechsel in den gesonderten Betriebsmodus enthält.

Das Verfahren ist besonders vorteilhaft im Zusammenhang mit redundanten Systemen anwendbar, die zumindest zwei Bausteine CPU aufweisen und in denen eine identische Folge von Instruktionen für die Bausteine CPU vorgesehen ist und durch die Bausteine im gesonderten Betriebsmodus identische externe Ereignisse abgerufen werden.

Gemäß einer Ausprägung der Erfindung wird in redundanten Systemen ein schnellerer Baustein CPU durch eine Steuerung im gesonderten Betriebsmodus belassen, bis ein langsamerer Baustein das Ende des gesonderten Betriebsmodus erreicht hat.

Die Erfindung sieht ferner einen Prozessorbaustein CPU vor, der zumindest folgendes aufweist:

- mindestens eine Ausführungseinheit EU,
- 10 - mindestens ein Zählerelement CIC zum Zählen der durch die Ausführungseinheit ausgeführten Instruktionen seit dem letzten Wechsel in den gesonderten Betriebsmodus,
- mindestens ein Registerelement MIR, dessen Inhalt durch Befehle vorgebbar oder fest vorgegeben ist,
- 15 - mindestens ein Komparatorelement K zum Umschalten der Ausführungseinheit EU in einen gesonderten Betriebsmodus ansprechend auf die Übereinstimmung des Zählelementes CIC mit dem Registerelement MIR, wobei in dem gesonderten Betriebsmodus zwischengespeicherte, dem Prozessorbaustein zuzuführende externe Ereignisse, die den Prozessorbaustein (CPU) beeinflussen, durch den Prozessorbaustein CPU abgerufen werden.
- 20

Der Abruf der zwischengespeicherten externen Ereignisse kann dabei vorteilhaft mittels Software, Firmware, Microcode oder Hardware erfolgen.

Erfindungsgemäß wird außerdem ein System bestehend aus mindestens zwei Prozessorbausteinen CPU vorgesehen, wobei die

30 Prozessorbausteine CPU jeweils zumindest folgendes aufweisen:

- mindestens eine Ausführungseinheit EU,
- mindestens ein Zählerelement CIC zum Zählen der durch die Ausführungseinheit ausgeführten Instruktionen seit dem letzten Wechsel in den gesonderten Betriebsmodus,
- 35 - mindestens ein Registerelement MIR, dessen Inhalt durch Befehle vorgebbar oder fest vorgegeben ist,

- mindestens ein Komparatorelement K zum Umschalten der Ausführungseinheit EU in einen gesonderten Betriebsmodus ansprechend auf die Übereinstimmung des Zählelementes CIC mit dem Registerelement MIR, wobei in dem gesonderten Betriebsmodus zwischengespeicherte, den Prozessorbausteinen zuzuführende externe Ereignisse, welche die Prozessorbausteine beeinflussen, durch die Prozessorbausteine abgerufen werden.
- 10 Der Abruf der zwischengespeicherten externen Ereignisse kann dabei vorteilhaft mittels Software, Firmware, Microcode oder Hardware erfolgen.

Vorteilhaft weist dieses System zusätzlich eine Verbindung zwischen zumindest zwei der Prozessorbausteine CPU, die eine identische Instruktionsfolge ausführen, auf, wobei die Verbindung zum Übertragen von Synchronisationsinformationen der gesonderten Betriebsmodi vorgesehen ist.

- 20 Ein wesentlicher Vorteil der Erfindung ist darin zu sehen, daß die Verwendung beliebiger neuer oder bestehender Software auf einer hardwarefehlertoleranten Plattform ermöglicht wird, wobei in dieser Plattform eine die Erfindung unterstützende CPU zum Einsatz kommen kann, ohne daß die Forderung nach
- 25 taktsynchroner, deterministischer Arbeitsweise der CPU besteht und wobei die Verwendung asynchroner Hochgeschwindigkeitsschnittstellen bzw. Links möglich ist.

Weitere Vorteile sind:

- 30 - Die zueinander redundanten Boards und CPUs müssen nicht phasenstarr gekoppelt betrieben werden.
- Die CPUs müssen nicht identisch sein, sie müssen lediglich nach der gleichen Anzahl abgearbeiteter Maschineninstruktionen anhalten und den Betriebsmodus wechseln.
- 35 - Die CPUs können mit unterschiedlichen Taktfrequenzen betrieben werden.

- Die CPUs können sich unterschiedlich in Bezug auf die spekulative Ausführung von Instruktionen verhalten, da nur die komplettierten Instruktionen bewertet werden.
 - Unterschiedliche CPU-interne Ausführungszeiten
- 5 identischer CPUs, z.B. aufgrund von Korrekturen nach dem datenverfälschendem Auftreten von Alpha-Teilchen, führen lediglich dazu, daß der Synchronisationsmodus zu geringfügig unterschiedlichen Zeitpunkten erreicht wird.
- 10 Die beschriebenen Probleme bei der Sicherstellung der takt-synchron deterministischen Arbeitsweise führen aufgrund der zeitlichen Unschärfe zukünftiger CPUs zu zeitlich nicht exakt korrelierbarer Befehlsausführung. Da die CPU bei einer typischen Applikation auf externe Ereignisse reagieren muß,
- 15 z.B. auf einen von einem Peripheriegerät generierten Interrupt oder auf Daten, die von einem Gerät in den Hauptspeicher geschrieben wurden, muß sichergestellt werden, daß die CPU von diesen Ereignissen an identischen Stellen in der Befehlsausführung in Kenntnis gesetzt wird, da sonst die Bewertung dieser Ereignisse zu unterschiedlichen Programmabläufen
- 20 redundanter CPUs führen könnte.

Die vorliegende Erfindung sorgt dafür, daß externe, für den Programmablauf relevante Ereignisse, wie z.B. Interrupts oder

25 von externen Geräten erzeugte Daten, redundanten CPUs an identischen Stellen der Befehlsausführung präsentiert werden und dadurch die Lockstep-Betriebsweise emuliert werden kann.

Im folgenden wird ein Ausführungsbeispiel der Erfindung im

30 Zusammenhang mit einer Figur näher erläutert.

In Figur 1 wird ein erfindungsgemäßer Prozessorbaustein CPU schematisch dargestellt. Dabei sind nur die für diese Erfindung relevanten Bestandteile dargestellt. Die CPU umfaßt

35 einen Cache-Speicher C, eine oder mehrere Ausführungseinheiten EU, mindestens einen Komparator K, mindestens einen Zähler CIC zum Zählen der durch die Ausführungseinheit ausge-

fürten Instruktionen und mindestens ein Registerelement MIR, dessen Inhalt durch Befehle vorgebar oder fest vorgegeben sein kann. Ferner sind schematisch dargestellt: Adressbus, Datenbus, Steuerbus, Verbindungen bzw. Links und ein Systemtakt Clock.

Die den Programmablauf beeinflussenden externen Ereignisse werden der CPU nicht direkt zugeführt, sondern von einer geeignet gestalteten Hardware zunächst gepuffert. Diese Hardware kann dabei Bestandteil eines Bausteins außerhalb der CPU oder Bestandteil der CPU selbst sein. Die CPU enthält erfindungsgemäß den Zähler CIC (Completed Instruction Counter), der Instruktionen oder Maschinenbefehle zählt, welche die CPU komplett ausgeführt hat. Die CPU enthält ferner ein Register MIR (Maximum Instruction Register), das von einer den emulierten Lockstep Betrieb unterstützenden Software (ELSO) beschrieben wird.

Ferner weist die CPU den Komparator oder Vergleicher K auf, der die Anzahl der ausgeführten Befehle, also den Zähler CIC, mit dem Register MIR vergleicht und bei Gleichheit beispielsweise eine Interrupt-Anforderung generiert, der die Befehlsausführung nach der Zahl der durch das Register MIR vorgegeben Instruktionen unterbricht und die CPU in einen anderen Betriebsmodus schaltet. In diesem Betriebsmodus wird beispielsweise geeigneter Microcode ausgeführt oder in eine Interrupt Service Routine verzweigt oder per Hardware-Signalen das Erreichen dieses Synchronisationspunktes angezeigt. In diesem Betriebsmodus werden dann den redundanten CPUs die externen Ereignisse so präsentiert, daß nach dem Verlassen dieses Betriebsmodus alle CPUs diese Ereignisse gleich bewerten können und somit in der Folge die gleichen Befehle ausführen werden.

Beispielsweise verzweigt die CPU nach Erreichen der durch das Register MIR vorgegeben Anzahl von Maschineninstruktionen in eine Interrupt Service Routine, in welcher der Zustand von

durch die beschriebene Hardware von der CPU ferngehaltenen Interrupt Signalen so abgefragt wird, daß eine redundante CPU, die ggf. diese Abfrage zu einem geringfügig späteren Zeitpunkt stellt, die identische Auskunft erhält.

5

Vor dem Verlassen des gesonderten Betriebsmodus wird der Zähler CIC zurückgesetzt. Anschließend wird zu der Programmstelle zurückgesprungen, an der die Unterbrechung durch das Erreichen des durch das Register MIR vorgegeben Zählerwertes CIC stattgefunden hat. Danach wird die CPU wieder die durch das Register MIR vorgegebene Anzahl von Maschineninstruktionen ausführen und bei Erreichen des Registerwertes MIR durch Zähler CIC den Mode wechseln und dadurch die Annahme von externen Ereignissen ermöglichen.

15

Beispielsweise kann eine den emulierten Lockstep-Betrieb unterstützende Software ELSO das Register MIR auf einen Wert von 10.000 setzen. Eine CPU, die mit 5 GHz Taktfrequenz betrieben wird und im Mittel einen Maschinenbefehl pro Takt (Länge eines Taktes: $1/200$ ps) ausführt, würde so nach 2 μ s in der Befehlsausführung unterbrochen werden und die Synchronisation mit externen Ereignissen ermöglichen.

20

Patentansprüche

1. Verfahren zur Synchronisation externer Ereignisse, die einem Baustein (CPU) zugeführt werden und diesen beeinflussen, demgemäss die externen Ereignisse zwischengespeichert werden, wobei die gespeicherten externen Ereignisse in einem gesonderten Betriebsmodus des Bausteins zur Verarbeitung durch zumindest eine Ausführungseinheit (EU) des Bausteins abgerufen werden und wobei der Baustein in diesen Betriebsmodus ansprechend auf die Erfüllung einer durch Befehle vorgebbaren oder fest vorgegebenen Bedingung eintritt.

5

10
2. Verfahren nach Anspruch 1,

15

20

25

dadurch gekennzeichnet,

dass der Wechsel in den gesonderten Betriebsmodus ausgeführt wird, falls durch ein Komparatorelement (K) des Bausteins die Übereinstimmung eines Zählelementes (CIC) mit einem Registerelement (MIR) ermittelt wird, wobei der Inhalt des Registerelementes (MIR) durch Befehle vorgebar ist und das Zählelement (CIC) die Anzahl der durch die Ausführungseinheit ausgeführten Instruktionen seit dem letzten Wechsel in den gesonderten Betriebsmodus enthält.
3. Verfahren nach einem der Ansprüche 1 oder 2,

30

dadurch gekennzeichnet,

dass in redundanten Systemen, die zumindest zwei Bausteine (CPU) aufweisen, eine identische Folge von Instruktionen für die Bausteine (CPU) vorgesehen ist und durch die Bausteine im gesonderten Betriebsmodus identische externe Ereignisse abgerufen werden.
4. Verfahren nach Anspruch 3,

35

dadurch gekennzeichnet,

dass ein schnellerer Baustein (CPU) durch eine Steuerung im gesonderten Betriebsmodus belassen wird, bis ein lang-

samerer Baustein das Ende des gesonderten Betriebsmodus erreicht hat.

5. Prozessorbaustein (CPU), der zumindest folgendes aufweist:

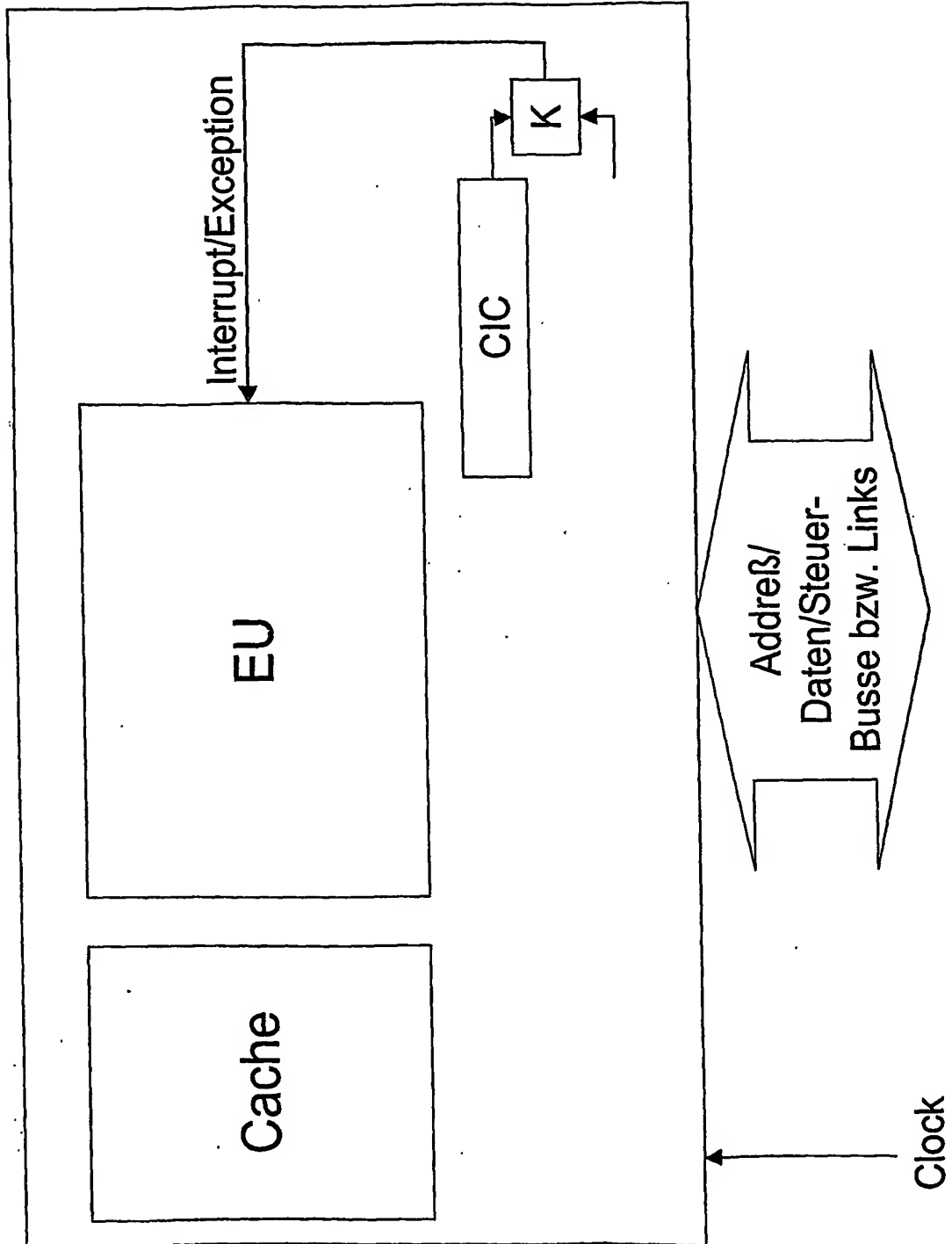
- 5 - mindestens eine Ausführungseinheit (EU),
- mindestens ein Zählerelement (CIC) zum Zählen der durch die Ausführungseinheit ausgeführten Instruktionen seit dem letzten Wechsel in den gesonderten Betriebsmodus,
- 10 - mindestens ein Registerelement (MIR), dessen Inhalt durch Befehle vorgebar oder fest vorgegeben ist,
- mindestens ein Komparatorelement (K) zum Umschalten der Ausführungseinheit (EU) in einen gesonderten Betriebsmodus ansprechend auf die Übereinstimmung des Zählelementes (CIC) mit dem Registerelement (MIR), wobei in dem geson-
- 15 derten Betriebsmodus zwischengespeicherte, dem Prozessorbaustein (CPU) zuzuführende externe Ereignisse, die den Prozessorbaustein (CPU) beeinflussen, durch den Prozessorbaustein (CPU) abgerufen werden.

20 6. System bestehend aus mindestens zwei Prozessorbausteinen (CPU), die jeweils zumindest folgendes aufweisen:

- mindestens eine Ausführungseinheit (EU),
- mindestens ein Zählerelement (CIC) zum Zählen der durch die Ausführungseinheit ausgeführten Instruktionen seit
- 25 dem letzten Wechsel in den gesonderten Betriebsmodus,
- mindestens ein Registerelement (MIR), dessen Inhalt durch Befehle vorgebar oder fest vorgegeben ist,
- mindestens ein Komparatorelement (K) zum Umschalten der Ausführungseinheit (EU) in einen gesonderten Betriebs-
- 30 modus ansprechend auf die Übereinstimmung des Zählelementes (CIC) mit dem Registerelement (MIR), wobei in dem gesonderten Betriebsmodus zwischengespeicherte, den Prozessorbausteinen zuzuführende externe Ereignisse, welche die Prozessorbausteine beeinflussen, durch die Prozessorbausteine
- 35 abgerufen werden.

- 5 7. System nach Anspruch 6, das zusätzlich eine Verbindung zwischen zumindest zwei der Prozessorbausteine (CPU), die eine identische Instruktionsfolge ausführen, aufweist, wobei die Verbindung zum Übertragen von Synchronisationsinformationen der gesonderten Betriebsmodi vorgesehen ist.

1/1



INTERNATIONAL SEARCH REPORT

Rec'd PCT/PTO 10 MAR 2005
10/527428

International Application No
PCT/EP 03/08715

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F11/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EP0-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 384 906 A (HORST ROBERT W) 24 January 1995 (1995-01-24) abstract; figures 4,5 column 7, paragraph 4 - column 9, paragraph 2 column 22, last paragraph - column 25; paragraph 3; claims 1,6,10,16; figures 7,9,10,17	1,5 2
A		
X	EP 0 104 490 A (KRUPP GMBH) 4 April 1984 (1984-04-04) abstract page 3, last paragraph - page 5, paragraph 1 page 12, paragraph 2 - page 15, paragraph 1; figure 1 claims 1-14	1,2,5

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the International filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the International filing date but later than the priority date claimed

"T" later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

29 July 2004

Date of mailing of the International search report

03.08.2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Beker, H

INTERNATIONAL SEARCH REPORT

International Application No

PCT/EP 03/08715

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 3 810 119 A (ZIEVE R ET AL) 7 May 1974 (1974-05-07) abstract; figures 2,3 column 3, paragraph 3 -----	3,4,6,7
X	WO 95/15529 A (MARATHON TECHN CORP) 8 June 1995 (1995-06-08) abstract page 5, last paragraph - page 6, paragraph 2; claims 1,10 -----	3,4,6,7
X	WO 93/09494 A (DIGITAL EQUIPMENT CORP) 13 May 1993 (1993-05-13) page 10, paragraph 2 - paragraph 3 -----	3,4,6,7
X	WO 99/36847 A (ALLIED SIGNAL INC) 22 July 1999 (1999-07-22) page 9, line 15 - page 11, last line ; figure 4 -----	3,4,6,7
X	US 5 896 523 A (MUENCH ERIK ET AL) 20 April 1999 (1999-04-20) column 8, paragraph 2 - column 9, paragraph 4; figures 1-6 -----	3,4,6,7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP 03/08715

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☒ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

SEE SUPPLEMENTAL SHEET

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

SEE SUPPLEMENTAL SHEET

1. ☒ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☒ No protest accompanied the payment of additional search fees.

Continuation of Box I.1

The search shows that the use of command counters in order to determine the sequence of synchronisation points at which a plurality of redundant processor chips are checked for similarity of results, as specified in the independent and dependent claims, is clearly a long-established standard procedure.

For example, US 5,384,906 discloses the following (see the passages cited in parentheses):

A method for synchronising (see the abstract, first and fourth sentences) external events (figure 3, 238; column 7, last sentence of second paragraph) communicated to a chip (figures 1 and 3, CPU A) and affecting said chip (abstract, fourth sentence), wherein the external events are cached (figure 3, 210; column 7, second paragraph, second sentence) and the cached external events are retrieved for processing in a separate operating mode of the chip, and the chip enters this operating mode in response to the fulfilment of a condition that is pre-specified or can be specified by commands.

The early stages of the search yielded so many documents which are prejudicial to novelty that it is not possible to identify anything in the claims for which protection might justifiably be sought (PCT Article 6). For this reason a meaningful search covering the full scope of the claims cannot be carried out, and it is impossible to state which of the embodiments specified in the description might be protectable.

Although all the claimed embodiments are disclosed in the cited documents (see the indicated passages), it must be assumed that the claimed subject matter is also disclosed in its entirety in many other relevant but uncited documents.

Continuation of Box II

The International Searching Authority has determined that this international application contains multiple (groups of) inventions, as follows:

1. Claims 1, 2 and 5

Method and processor chip for synchronising external events, wherein the number of instructions executed by a processor since a switch to a particular operating mode is counted and compared, thus ensuring that the external events actually are executed after a predetermined number of instructions and that the real-time behaviour of the method and processor chip is guaranteed.

2. Claims 3, 4, 6 and 7

Method and system for synchronising external events, wherein at least two chips are provided which execute identical sequences of instructions in response to identical external events so that the two chips check each other's performance in a redundant manner.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 03/08715

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 5384906	A	24-01-1995	CA 2003338 A1	09-06-1990
			EP 0372580 A2	13-06-1990
			JP 1992593 C	22-11-1995
			JP 2202638 A	10-08-1990
			JP 7009626 B	01-02-1995
			AU 2396988 A	11-05-1989
			EP 0316087 A2	17-05-1989
			JP 1258057 A	16-10-1989
			JP 8033874 B	29-03-1996
			US 5239641 A	24-08-1993
			US 5317726 A	31-05-1994
			US 5353436 A	04-10-1994

EP 0104490	A	04-04-1984	DE 3235762 A1	29-03-1984
			EP 0104490 A2	04-04-1984

US 3810119	A	07-05-1974	NONE	

WO 9515529	A	08-06-1995	AU 680974 B2	14-08-1997
			AU 1182095 A	19-06-1995
			AU 711456 B2	14-10-1999
			AU 4286497 A	15-01-1998
			AU 711435 B2	14-10-1999
			AU 4286597 A	15-01-1998
			AU 711419 B2	14-10-1999
			AU 4286697 A	15-01-1998
			CA 2177850 A1	08-06-1995
			DE 69424565 D1	21-06-2000
			DE 69424565 T2	18-01-2001
			EP 0731945 A1	18-09-1996
			EP 0986008 A2	15-03-2000
			EP 0986007 A2	15-03-2000
			EP 0974912 A2	26-01-2000
			JP 9509270 T	16-09-1997
			WO 9515529 A1	08-06-1995
			US 5600784 A	04-02-1997
			US 5615403 A	25-03-1997
			US 5956474 A	21-09-1999
			US 6038685 A	14-03-2000

WO 9309494	A	13-05-1993	WO 9309494 A1	13-05-1993
			US 5488716 A	30-01-1996

WO 9936847	A	22-07-1999	US 6374364 B1	16-04-2002
			EP 1082660 A2	14-03-2001
			WO 9936847 A2	22-07-1999

US 5896523	A	20-04-1999	AT 206539 T	15-10-2001
			AU 733747 B2	24-05-2001
			AU 7812198 A	21-12-1998
			CA 2292603 A1	10-12-1998
			DE 69801909 D1	08-11-2001
			DE 69801909 T2	20-06-2002
			EP 0986784 A1	22-03-2000
			WO 9855922 A1	10-12-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/08715

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G06F11/16

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 384 906 A (HORST ROBERT W) 24. Januar 1995 (1995-01-24)	1,5
A	Zusammenfassung; Abbildungen 4,5 Spalte 7, Absatz 4 - Spalte 9, Absatz 2 Spalte 22, letzter Absatz - Spalte 25, Absatz 3; Ansprüche 1,6,10,16; Abbildungen 7,9,10,17	2
X	EP 0 104 490 A (KRUPP GMBH) 4. April 1984 (1984-04-04) Zusammenfassung Seite 3, letzter Absatz - Seite 5, Absatz 1 Seite 12, Absatz 2 - Seite 15, Absatz 1; Abbildung 1 Ansprüche 1-14	1,2,5
	----- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

29. Juli 2004

Absendedatum des internationalen Recherchenberichts

03.08.2004

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Beker, H

INTERNATIONAL RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 03/08715

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile.	Betr. Anspruch Nr.
X	US 3 810 119 A (ZIEVE R ET AL) 7. Mai 1974 (1974-05-07) Zusammenfassung; Abbildungen 2,3 Spalte 3, Absatz 3 -----	3,4,6,7
X	WO 95/15529 A (MARATHON TECHN CORP) 8. Juni 1995 (1995-06-08) Zusammenfassung Seite 5, letzter Absatz - Seite 6, Absatz 2; Ansprüche 1,10 -----	3,4,6,7
X	WO 93/09494 A (DIGITAL EQUIPMENT CORP) 13. Mai 1993 (1993-05-13) Seite 10, Absatz 2 - Absatz 3 -----	3,4,6,7
X	WO 99/36847 A (ALLIED SIGNAL INC) 22. Juli 1999 (1999-07-22) Seite 9, Zeile 15 - Seite 11, letzte Zeile ; Abbildung 4 -----	3,4,6,7
X	US 5 896 523 A (MUENCH ERIK ET AL) 20. April 1999 (1999-04-20) Spalte 8, Absatz 2 - Spalte 9, Absatz 4; Abbildungen 1-6 -----	3,4,6,7

Feld I Bemerkungen zu den Ansprüchen, die sich als nicht recherchierbar erwiesen haben (Fortsetzung von Punkt 2 auf Blatt 1)

Gemäß Artikel 17(2)a) wurde aus folgenden Gründen für bestimmte Ansprüche kein Recherchenbericht erstellt:

1. ☒ Ansprüche Nr.
weil sie sich auf Gegenstände beziehen, zu deren Recherche die Behörde nicht verpflichtet ist, nämlich
siehe BEIBLATT PCT/ISA/210
2. ☐ Ansprüche Nr.
weil sie sich auf Teile der internationalen Anmeldung beziehen, die den vorgeschriebenen Anforderungen so wenig entsprechen, daß eine sinnvolle internationale Recherche nicht durchgeführt werden kann, nämlich
3. ☐ Ansprüche Nr.
weil es sich dabei um abhängige Ansprüche handelt, die nicht entsprechend Satz 2 und 3 der Regel 6.4 a) abgefaßt sind.

Feld II Bemerkungen bei mangelnder Einheitlichkeit der Erfindung (Fortsetzung von Punkt 3 auf Blatt 1)

Die internationale Recherchenbehörde hat festgestellt, daß diese internationale Anmeldung mehrere Erfindungen enthält:

siehe Zusatzblatt

1. ☒ Da der Anmelder alle erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht auf alle recherchierbaren Ansprüche.
2. ☐ Da für alle recherchierbaren Ansprüche die Recherche ohne einen Arbeitsaufwand durchgeführt werden konnte, der eine zusätzliche Recherchegebühr gerechtfertigt hätte, hat die Behörde nicht zur Zahlung einer solchen Gebühr aufgefordert.
3. ☐ Da der Anmelder nur einige der erforderlichen zusätzlichen Recherchegebühren rechtzeitig entrichtet hat, erstreckt sich dieser internationale Recherchenbericht nur auf die Ansprüche, für die Gebühren entrichtet worden sind, nämlich auf die Ansprüche Nr.
4. ☐ Der Anmelder hat die erforderlichen zusätzlichen Recherchegebühren nicht rechtzeitig entrichtet. Der internationale Recherchenbericht beschränkt sich daher auf die in den Ansprüchen zuerst erwähnte Erfindung; diese ist in folgenden Ansprüchen erfaßt:

Bemerkungen hinsichtlich eines Widerspruchs

- ☐ Die zusätzlichen Gebühren wurden vom Anmelder unter Widerspruch gezahlt.
- ☒ Die Zahlung zusätzlicher Recherchegebühren erfolgte ohne Widerspruch.

WEITERE ANGABEN

PCT/ISA/ 210

Fortsetzung von Feld I.1

Die Verwendung von Befehlszählern zur Ablaufbestimmung von Synchronisationszeitpunkten, an denen eine Mehrzahl redundanter Prozessorbausteine auf Übereinstimmung in ihren Ergebnissen überprüft werden, wie in den unabhängigen und abhängigen Ansprüchen ausgeführt, ist wie die Recherche ergab, offensichtlich ein seit geraumer Zeit angewandetes Standardverfahren.

Beispielhaft offenbart US 5,384,906 an den in Klammern angegeben Stellen:

Ein Verfahren zur Synchronisation (Zusammenfassung erster Satz und vierter Satz) externer Ereignisse (Fig. 3, 238, Spalte 7, zweiter Absatz letzter Satz) die einem Baustein (Abbildung 1 und 3, CPU?A) zugeführt werden und diesen beeinflussen (Zusammenfassung vierter Satz) demgemäß die externen Ereignisse zwischengespeichert werden, (Fig. 3, 210, Spalte 7 zweiter Absatz, zweiter Satz) wobei die gespeicherten externen Ereignisse in einem in einem gesonderten Betriebsmodus des Bausteins zur Verarbeitung abgerufen werden und wobei der Baustein in diesem Betriebsmodus ansprechend auf die Erfüllung einer durch Befehle vorgebbare oder fest vorgegeben Bedingung eintritt.

Die Recherche ergab in ihrer Anfangsphase eine derart große Zahl Neuheitsschädlicher Dokumente, daß sich unmöglich feststellen läßt, wofür in der Gesamtheit der Patentansprüche eventuell nach zu Recht Schutz begehrt werden könnte (Art. 6 PCT). Aus diesen Gründen ist eine vollständige Recherche über den gesamten Bereich der Patentansprüche unmöglich und es läßt sich nicht abschätzen für welche in der Beschreibung genannten Ausführungsformen zu Recht Schutz begehrt werden könnte.

Obgleich alle beanspruchten Ausführungsformen in jedem der zitierten Dokumente an den zitierten Stellen offenbart werden, muß davon ausgegangen werden, daß noch eine Unzahl weiterer, relevanter, nicht zitierter Dokumente den gesamten beanspruchten Gegenstand offenbaren.

WEITERE ANGABEN

PCT/ISA/ 210

Die internationale Recherchenbehörde hat festgestellt, dass diese internationale Anmeldung mehrere (Gruppen von) Erfindungen enthält, nämlich:

1. Ansprüche: 1,2,5

Verfahren und Prozessorbaustein zur Synchronisation externer Ereignisse, wobei eine durch einen Prozessor ausgeführte Anzahl ausgeführter Instruktionen seit Wechsel in einen bestimmten Betriebsmodus gezählt und verglichen wird, wodurch sichergestellt wird, dass die externen Ereignisse tatsächlich nach einer vorbestimmten Zahl von Instruktionen durchgeführt wird und das Echtzeitverhalten des Verfahrens und des Prozessorbausteins sichergestellt werden.

2. Ansprüche: 3,4,6,7

Verfahren und System zur Synchronisation externer Ereignisse, wobei mindestens zwei Bausteine vorgesehen sind, die identische Instruktionsfolgen in Antwort auf identische externe Ereignisse durchführen werden, womit sich die beiden Bausteine in redundanter Weise gegenseitig in ihrer Funktionsfähigkeit überprüfen.

INTERNATIONAL RESEARCH REPORT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationale Aktenzeichen

PCT/EP 03/08715

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5384906	A	24-01-1995	CA 2003338 A1	09-06-1990
			EP 0372580 A2	13-06-1990
			JP 1992593 C	22-11-1995
			JP 2202638 A	10-08-1990
			JP 7009626 B	01-02-1995
			AU 2396988 A	11-05-1989
			EP 0316087 A2	17-05-1989
			JP 1258057 A	16-10-1989
			JP 8033874 B	29-03-1996
			US 5239641 A	24-08-1993
			US 5317726 A	31-05-1994
			US 5353436 A	04-10-1994
EP 0104490	A	04-04-1984	DE 3235762 A1	29-03-1984
			EP 0104490 A2	04-04-1984
US 3810119	A	07-05-1974	KEINE	
WO 9515529	A	08-06-1995	AU 680974 B2	14-08-1997
			AU 1182095 A	19-06-1995
			AU 711456 B2	14-10-1999
			AU 4286497 A	15-01-1998
			AU 711435 B2	14-10-1999
			AU 4286597 A	15-01-1998
			AU 711419 B2	14-10-1999
			AU 4286697 A	15-01-1998
			CA 2177850 A1	08-06-1995
			DE 69424565 D1	21-06-2000
			DE 69424565 T2	18-01-2001
			EP 0731945 A1	18-09-1996
			EP 0986008 A2	15-03-2000
			EP 0986007 A2	15-03-2000
			EP 0974912 A2	26-01-2000
			JP 9509270 T	16-09-1997
			WO 9515529 A1	08-06-1995
			US 5600784 A	04-02-1997
			US 5615403 A	25-03-1997
			US 5956474 A	21-09-1999
			US 6038685 A	14-03-2000
WO 9309494	A	13-05-1993	WO 9309494 A1	13-05-1993
			US 5488716 A	30-01-1996
WO 9936847	A	22-07-1999	US 6374364 B1	16-04-2002
			EP 1082660 A2	14-03-2001
			WO 9936847 A2	22-07-1999
US 5896523	A	20-04-1999	AT 206539 T	15-10-2001
			AU 733747 B2	24-05-2001
			AU 7812198 A	21-12-1998
			CA 2292603 A1	10-12-1998
			DE 69801909 D1	08-11-2001
			DE 69801909 T2	20-06-2002
			EP 0986784 A1	22-03-2000
			WO 9855922 A1	10-12-1998